

**WVCWB-R-003 IEEE802.11a/b/g/n 無線 LAN ユニット
データシート (第 1.1 版)**

2014 年 5 月 20 日

株式会社ウイビコム

目次

1 はじめに.....	2
2 仕様.....	2
2.1 主な仕様.....	2
2.2 各部の名称.....	3
2.3 接続方法.....	4
2.4 寸法.....	5
付録-A.....	7
A.1 モジュール 動作推奨環境.....	7
A.2 モジュール DC 特性 : Digital I/O Signals.....	7
A.3 モジュール AC 特性 : Digital I/O Signals.....	8
改訂履歴.....	10

1 はじめに

WVCWB-R-003 は、IEEE802.11a/b/g/n に対応した無線 LAN ユニットで、日本国内使用向けに TELEC 認証取得中である。

Redpine 社製の WLAN モジュール(RS9110-N-11-03)を実装した低消費電力 WLAN ユニットで、SDIO または SPI インターフェースによってホストプロセッサと接続することが可能である。

2 仕様

2.1 主な仕様

WVCWB-R-003

項目	仕様	備考
無線部		
無線周波数	2.400 - 2.500 GHz (Low Band)	
	4.900 - 5.850 GHz (High Band)	W52, W53, W56
変調方式	OFDM with BPSK, QPSK, 16-QAM, and 64-QAM	
	802.11b with CCK and DSSS	
無線通信速度	802.11n : 6.5, 13, 19.5, 26, 39, 52, 58.5, 65Mbps	
	802.11a/g : 6, 9, 12, 18, 24, 36, 48, 54Mbps	
	802.11b : 1, 2, 5.5, 11Mbps	
送信電力	15dBm(±2dBm)	802.11g/n OFDM
	17dBm(±2dBm)	802.11b CCK, DSSS
	12dBm(±2dBm)	802.11a
MAC 部		
セキュリティ	WPA/WPA2-PSK, WPA2-Enterprise, WEP(64, 128 bits)	
インターフェース部		
SDIO 通信速度	50MHz(High Speed Mode), 25MHz(Full Speed Mode)	
SPI 通信速度	75MHz(High Speed Mode), 25MHz(Full Speed Mode)	
その他		
電源電圧	定格 3.3V(3.1 - 3.6V)	
モジュール動作温度	-40~85°C	

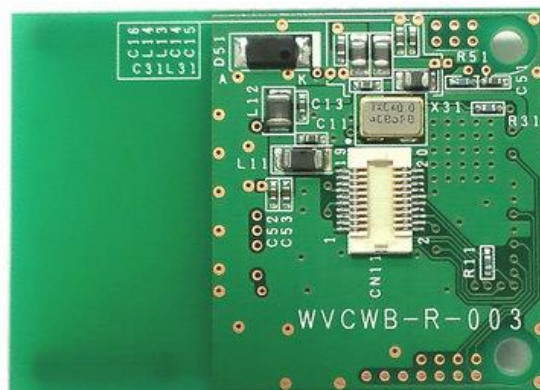
SDIO と SPI の同時使用は不可

2. 2 各部の名称

WVCWB-R-003



部品面



半田面



側面

・アンテナ

WVCWB-R-0003 は 2.4GHz 帯および 5GHz 帯の電波を発射または受信する。(ダイバーシティアンテナ)
アンテナの特性に影響を与えないよう近傍に金属物を配置しないこと。

・ホスト I/F コネクタ

ホスト CPU と接続するコネクタ。

ユニット側コネクタは、Panasonic AXK5F20347YG を実装している。
(接合先の適合コネクタ: Panasonic AXK6F20347YG)

・取り付け穴

WVCWB-R-003 は $\phi 2.5\text{mm}$ の取り付け穴が 2 か所ある。

2. 3 接続方法

・ピン配置

ユニット側コネクタ = Panasonic AXK5F20347YG

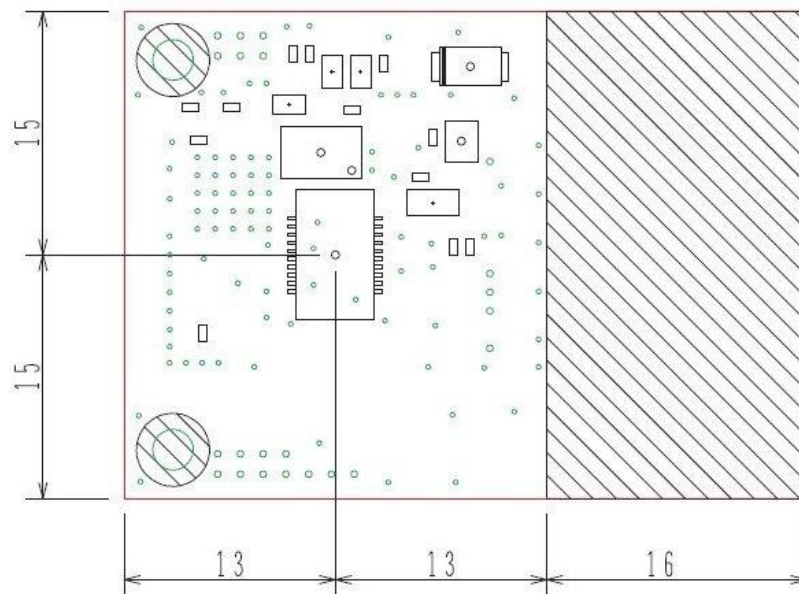
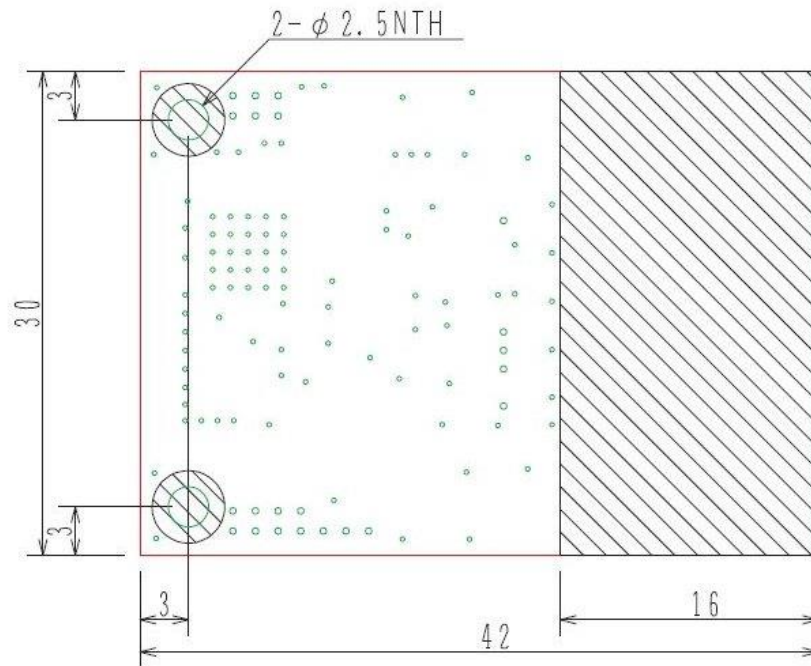
適合コネクタ = Panasonic AXK6F20347YG

■WVCWB-R-003

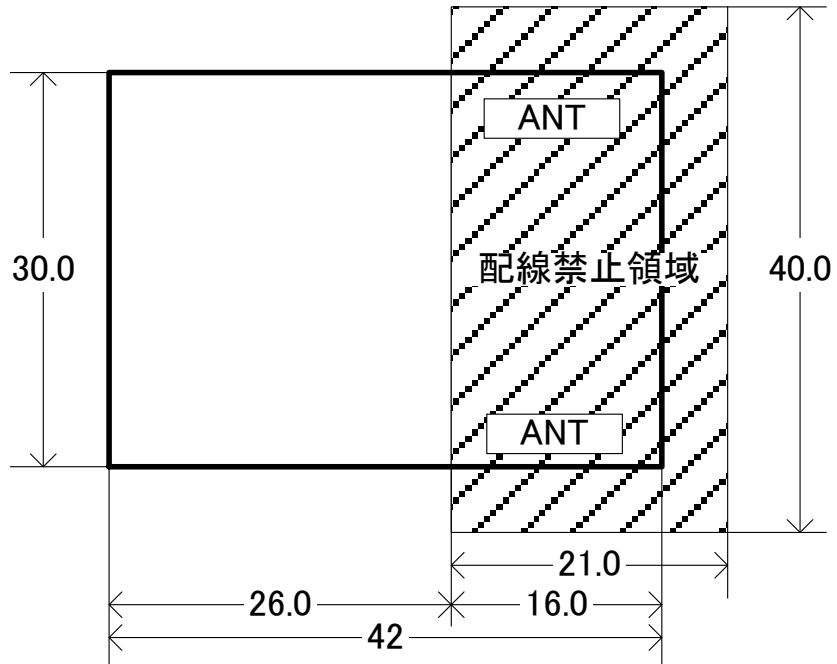
ピン番号	名称	入出力	機能	備考
1	GND		GND	
2	GND		GND	
3	SDIO_DATA0	入出力	SDIO 4-bit: Data [0] SDIO 1-bit: Data line SDIO-SPI: SPI_DIN (MOSI) SPI: SPI_DIN	
4	SDIO_DATA1	入出力	SDIO 4-bit: Data [1]/Interrupt SDIO 1-bit: Interrupt SDIO-SPI: Reserved SPI: SPI_DOUT	
5	SDIO_DATA2	入出力	SDIO 4-bit: Data [2]/Read wait SDIO 1-bit: Read wait SDIO-SPI: SPI_DOUT SPI: SPI_INT	
6	SDIO_DATA3	入出力	SDIO 4-bit: Data [3] SDIO 1-bit: Reserved SDIO-SPI: SPI_INT SPI: Reserved	
7	SDIO_CMD	入力	SDIO 4-bit: Command/Response SDIO 1-bit: Command SDIO-SPI: SPI_CS SPI: SPI_CS	
8	GND		GND	
9	MODE_SEL_1	入力	ホストインターフェース選択 SDIO: NC SPI: 3.9-4.7kΩでプルダウン接続	
10	SDIO_CLK		SDIO/SPI クロック供給	
11	NC			
12	GND		GND	
13	RESET	入力	WLAN ユニットのリセット Low アクティブ(Min: 10msec)	
14	NC			
15	NC			
16	NC			
17	NC			
18	VIN33		3.3V 電源	3.3V 安定供給のこと
19	VIN33		3.3V 電源	
20	VIN33		3.3V 電源	

2. 4 寸法

■ WVCWB-R-003



WVCWB-R-003配線禁止領域



付録-A

A. 1 モジュール 動作推奨環境

項目	単位	Min.	typ.	Max.
入力電圧	Volt	3.1	3.3	3.6
温度	°C	-40	25	85

A. 2 モジュール DC 特性 : Digital I/O Signals

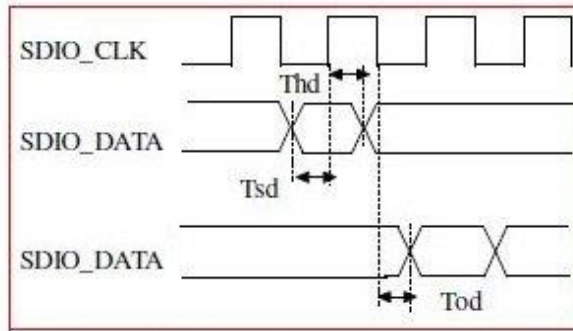
Parameter	Units	Min.	typ.	Max.
Input high voltage	Volt	2.0	-	5.5
Input low voltage	Volt	-0.3	-	0.8
Output low voltage	Volt	-	-	0.4
Output high voltage	Volt	2.4	-	-
Input leakage current (3.3V or 0V)	uA	-	-	±10
Tristate output leakage current (3.3V or 0V)	uA	-	-	±10

A. 3 モジュール AC 特性 : Digital I/O Signals

SDIO Interface

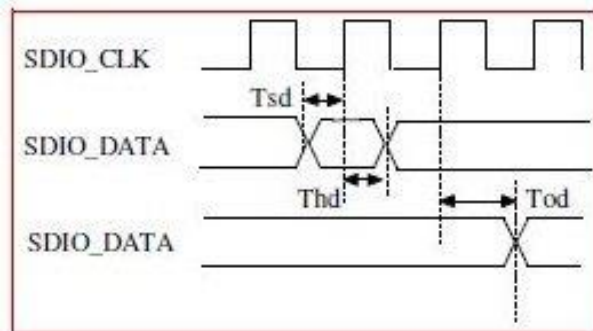
Full Speed Mode

Parameter	Symbol	Min.	Typ.	Max.	Units
SDIO_CLK Frequency	Tsdio	0		25	MHz
SDIO_DATA setup time	Tsd	5.0	-	-	ns
SDIO_DATA hold time	Thd	2.0	-	-	ns
SDIO_DATA clock to output delay	Tod	5.0	-	11.0	ns



High Speed Mode

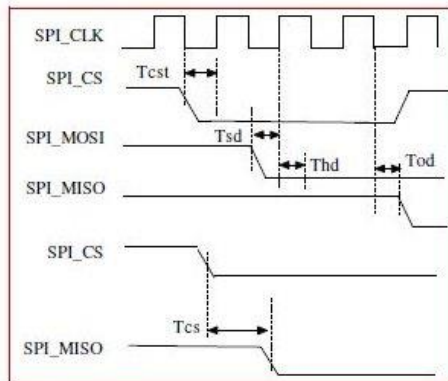
Parameter	Symbol	Min.	Typ.	Max.	Units
SDIO_CLK Frequency	Tsdio	25		50	MHz
SDIO_DATA setup time	Tsd	5.0	-	-	ns
SDIO_DATA hold time	Thd	2.0	-	-	ns
SDIO_DATA clock to output delay	Tod	5.5	-	12.5	ns



SPI Interface

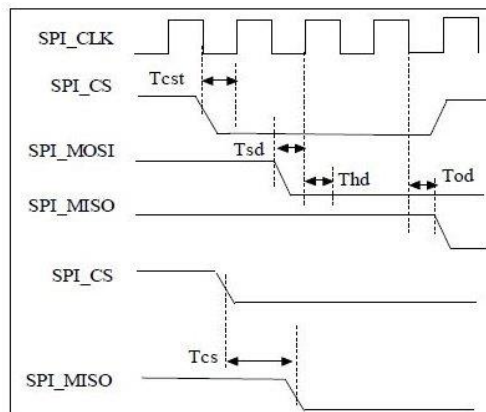
Full Speed Mode

Parameter	Symbol	Min.	Typ.	Max.	Units
SPI_CLK Frequency	F _{spi}	0		25	MHz
SPI_CS to output delay	T _{cs}	3.50	-	7.50	ns
SPI CS setup time	T _{cst}	5.50	-		ns
SPI_MOSI setup time	T _{sd}	1.00	-		ns
SPI_MOSI hold time	T _{hd}	1.50	-		ns
SPI_MISO clock to output delay	T _{od}	4.00	-	9.00	ns



High Speed Mode

Parameter	Symbol	Min.	Typ.	Max.	Units
SPI_CLK Frequency	F _{spi}	25		75	MHz
SPI_CS to output delay	T _{cs}	3.50	-	7.50	ns
SPI CS setup time	T _{cst}	5.50	-		ns
SPI_MOSI setup time	T _{sd}	1.00	-		ns
SPI_MOSI hold time	T _{hd}	1.50	-		ns
SPI_MISO clock to output delay	T _{od}	4.00	-	9.50	ns



改訂履歴

日付	版	改訂内容
2012年9月8日	初版	初版
2014/5/20	1.1	配線禁止領域を追加